

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-97322

(43) 公開日 平成8年(1996)4月12日

(51) Int.Cl.⁴

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/12

H 0 1 L 23/ 12

L

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平6-227711

(22) 出願日 平成6年(1994)9月22日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 田中 誠

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

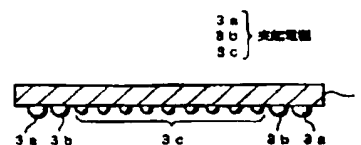
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体パッケージ

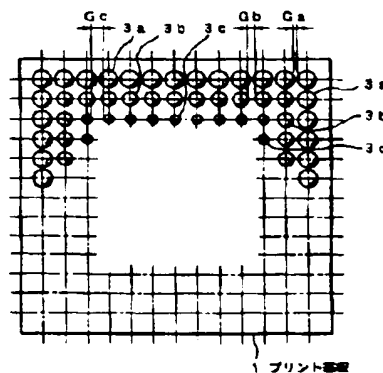
(57) 【要約】

【目的】 パッケージの反りに伴う突起電極の高さのばらつきを解消する。

【構成】 プリント基板1上に形成された複数の突起電極3a、3b、3cのうち、プリント基板1の外側に配置された突起電極3aがそれよりも内側に配置された突起電極3bよりも大きく形成され、さらにその突起電極3bがそれよりも内側に配置された突起電極3cよりも大きく形成されている。



(a) 断面図



(b) 平面図

本発明の第1実施例を説明する図

域では突起電極3とマザー基板との間に隙間が生じてしまい、両者の間に安定した接合状態が得られなくなるといふ問題があった。

【0004】本発明は、上記問題を解決するためになされたもので、その目的は、パツケージの反りに伴う突起電極の高さのばらつきを解消することができる半導体パツケージを提供することにある。

【0005】

【課題を解決するための手段】本発明は、上記目的を達成するためになされたもので、プリント基板の一方の面にICチップが搭載され、他方の面に所定の配列で複数の突起電極が形成された半導体パツケージにおいて、複数の突起電極のうち、プリント基板の外側に配置された突起電極がそれよりも内側に配置された突起電極よりも大きく形成された構成となっている。

【0006】

【作用】本発明の半導体パツケージにおいては、プリント基板の外側に配置された突起電極をそれよりも内側に配置された突起電極よりも大きく形成すること、で、プリント基板上のICチップをモールド樹脂にて封止した際のバツケージの反りによって突起電極の高さのばらつきが矯正されるようになる。

【0007】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明に係わる半導体パツケージの第1実施例を説明する図であり、これはICチップを搭載する前の状態を示している。図1に示すように本実施例の半導体パツケージにおいては、プリント基板1の底面に複数の突起電極3a, 3b, 3cが形成されており、これらの突起電極3a, 3b, 3cは例えば図示のごとく3列で環状に配置されている。本実施例では、複数の突起電極3a, 3b, 3cのうち、プリント基板1の外側に配置された突起電極、例えば最外郭に配置された突起電極3aがそれよりも内側に配置された突起電極3bよりも大きく形成され、さらにその突起電極3bがそれよりも内側、つまり図例では最内に配置された突起電極3cよりも大きく形成されている。

【0008】ここで、上述のごとくプリント基板1に大きな異なる突起電極3a, 3b, 3cを形成する具体的な手段としては、例えば以下に述べる(1)～(3)のような方法が考えられる。

(1) プリント基板1の電極パターンに応じて形成されたランドにはんだペーストを供給し、これをリフローにより加熱溶融して突起電極3a, 3b, 3cを形成する際に、各ランドに対するはんだペーストの供給量を変え、(2) スタッドバンプと呼ばれるボールボンプ方式にて突起電極3a, 3b, 3cを形成する際に、ワイヤ先端に形成するボール径を変える。

(3) プリント基板1のランド上にフラスカ等を紹介

【特許請求の範囲】

【請求項1】 プリント基板の一方の面にICチップが搭載され、他方の面に所定の配列で複数の突起電極が形成された半導体パツケージにおいて、

前記複数の突起電極のうち、前記プリント基板の外側に配置された突起電極がそれよりも内側に配置された突起電極よりも大きく形成されていることを特徴とする半導体パツケージ。

【請求項2】 前記プリント基板の外側に配置された突起電極間の配列ピッチがそれよりも内側に配置された突起電極間の配列ピッチよりも広く形成されていることを特徴とする請求項1記載の半導体パツケージ。

【請求項3】 前記プリント基板に環状に配列された第1の突起電極列とそれよりも内側に配列された第2の突起電極列との列間隔が、前記第2の電極突起列とそれよりも内側に配列された第3の突起電極列との列間隔よりも広く形成されていることを特徴とする請求項1又は2記載の半導体パツケージ。

【発明の詳細な説明】

【産業上の利用分野】本発明は、種々の半導体パツケージ形態の中でも、特にプリント基板の一方の面にICチップを搭載し、他方の面に突起電極を形成した、いわゆるBGA (ボール・グリッド・アレイ) パツケージに関するものである。

【0002】

【従来の技術】この種の半導体パツケージとしては、セラミック基板をベースにしたC (セラミック) -BGA (パツケージや、プリント基板をベースにしたP (フラスカック) -BGA (パツケージが広く知られているが、最近ではパツケージの低価格化のニーズに対応するためP -BGA (パツケージを採用する動きが高まっている。P -BGA (パツケージでは、図4に示すように、プリント基板1の一方の面にICチップ2が搭載され、他方の面に複数の突起電極3が形成されている。またICチップ2は、ボンダイングワイヤ4によって基板上のボンダイングパターン(不図示)に接続され、さらにモールド樹脂5によってボンダイングワイヤ4と一体に封止されている。

【0003】

【発明が解決しようとする課題】ところで、この種の半導体パツケージにおいては、プリント基板1上に搭載したICチップ2をボンダイングワイヤ4とともにモールド樹脂5にて封止した際、モールド樹脂5の収縮によってパツケージに反りが発生する。ところが従来の半導体パツケージでは、複数の突起電極3がいずれも同じ大きさとで格子状に配列されていたため、パツケージの反りによってプリント基板1の外側と内側とで突起電極3の高さにばらつきが生じる。このため、パツケージをマザー基板に実装しようとした場合、プリント基板1の外側頭

極形成を可能にすることを目的として、以下に本発明の

第2実施例を説明する。

【0013】図3は本発明に係わる半導体パッケージの

第2実施例を説明する図である。本第2実施例において

は、その特徴部分の一つとして、プリント基板1上に形

成された複数の突起電極3a、3b、3cのうち、プリ

ント基板1の外側、例えば最外郭に配置された突起電極

3a間の配列ピッチPaがそれよりも内側に配置された

突起電極3b間の配列ピッチPbよりも広く形成され、

さらにその突起電極3b間の配列ピッチPbがそれより

も内側、つまり最内に配置された突起電極3c間の配列

ピッチPcよりも広く形成されている ($P_a > P_b > P_c$)。

【0014】これにより、上記第1実施例のごとくプリ

ント基板1上に大きさの異なる突起電極3a、3b、3

cを形成する場合であっても、プリント基板1の外側、

例えば最外郭に配置された突起電極3a間の隙間Gaと

それよりも内側に配置された突起電極3b間の隙間Gb

とができるため ($G_a > G_b > G_c$)、パッケージ実装

時の電氣的ショートを回避しつつ、プリント基板1に対

して高密度に突起電極3a、3b、3cを形成すること

が可能となる。

【0015】また、上記以外の特徴部分として、プリ

ント基板1に環状に配列された第1の突起電極列、例えば

最外郭に配列された突起電極3a列とそれよりも内側に

配列された第2の突起電極3b列との列間隔Pdが、そ

の第2の突起電極3b列とそれよりも内側、つまり最内

に配列された第3の突起電極3c列との列間隔Peより

も広く形成されている ($P_d > P_e$)。

【0016】これにより、上記第1実施例のごとくプリ

ント基板1上に大きさの異なる突起電極3a、3b、3

cを形成する場合であっても、プリント基板1に環状に

配列された第1の突起電極3a列とそれよりも内側に配

列された第2の突起電極3b列との隙間Gdと、その第

2の突起電極3b列とそれよりも内側に配列された第3

の突起電極3c列との隙間Geとを異なる寸法に設定す

ることができるため ($G_d > G_e$)、パッケージ実装時

の電氣的ショートを回避しつつ、より一層高密度に突起

電極3a、3b、3cを形成することが可能となる。

【0017】なお、上記第1及び第2実施例において

は、プリント基板1上にいずれも3列で突起電極3a、

3b、3cが形成された場合を挙げて説明したが、本発

明はこれに限定されなく、例えばプリント基板1

上にフルマトリクス形態で複数の突起電極が形成された

半導体パッケージなどに対しても適用できることは言う

までもない。

【0018】

【発明の効果】以上、説明したように本発明によれば、

て粒状のはんだボールや銅ボールを供給して突起電極3

a、3b、3cを形成する際に、各ランプに対して供給

するボール径を要する。

【0019】また、各々の突起電極3a、3b、3cの

大きさを設定するにあたっては、プリント基板1上に搭

着したICチップ(不図示)を樹脂封止する際のバッテ

ーシの反り量を見込んで適宜設定することが肝要であ

る。ちなみに本実施例においては、最外郭に配置された

突起電極3aがφ0.4mm、その内側に配置された突

起電極3bがφ0.3mm、そして最も内側に配置され

た突起電極3cがφ0.2mmの大きさをもって形成さ

れている。

【0010】上記構成からなる本実施例の半導体バッテ

ーシにおいては、プリント基板1の底面に形成された複

数の突起電極3a、3b、3cの大きさが異なるため、

樹脂封止前の状態では図2(a)に示すように、各々の

突起電極3a、3b、3cの大きさはばらつきが生じるこ

となる。しかしながら、図2(b)に示すように、プ

リント基板1上にICチップ2を搭載し、これをボンデ

イングワイヤ4にてボンディングパターン(不図示)に

接続したのち、ICチップ2とボンディングワイヤ4と

をモールド樹脂5にて封止した際には、モールド樹脂5

の収縮によってパッケージに反りが生じ、これによつ

て樹脂封止前の突起電極3a、3b、3cの大きさのばらつ

きが矯正される。したがって、樹脂封止の際のバッテ

ーシの反り量を見込んで予め各突起電極3a、3b、3c

の大きさを適宜設定することにより、基準平面Fに対し

て各々の突起電極3a、3b、3cの高さを均一にする

ことができる。

【0011】ところで、プリント基板1の外側、例えば

最外郭に配置された突起電極3aはそれよりも内側に配

置された突起電極3bよりも大きくなり、さらにその突

起電極3bはそれよりも内側に配置された突起電極3c

よりも大きくなる ($3a > 3b > 3c$)。したがって、

プリント基板1上に異なる大きさの突起電極3a、3

b、3cを形成した場合は、その外径が大きくなるほど

突起電極3a、3b、3c間の隙間が小さくなる。

【0012】このため、特に、突起電極3a、3b、3

c間の隙間Ga、Gb、Gcが最も小さいプリント基板

1の外側領域では、突起電極3a、3b、3cを介して

パッケージをマザー基板に接合する際の突起電極のコラ

プス(つぶれ)によって突起電極同士の間隔が起る。

その結果、電氣的ショートの発生、接合不良となる虞

れがある。その対策としては、最外郭に配置された突起

電極3aに合わせて突起電極3a、3b、3c間の配列

ピッチを十分に広く確保することも考えられるが、そう

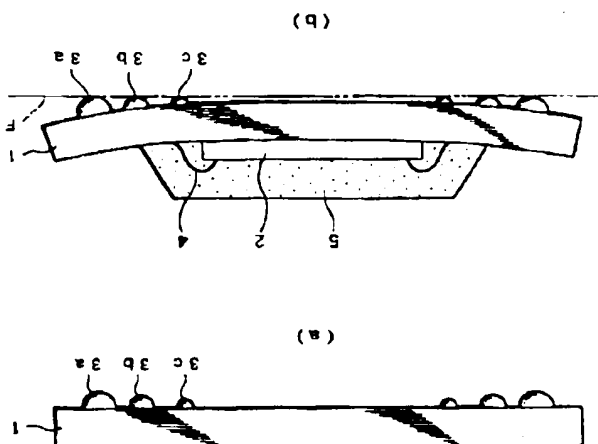
した場合はプリント基板1の内側領域での突起電極3

b、3cの配置状態が疎らになり、同じ電極数を保るに

もパッケージ全体が大型化してしまう。そこで、バッテ

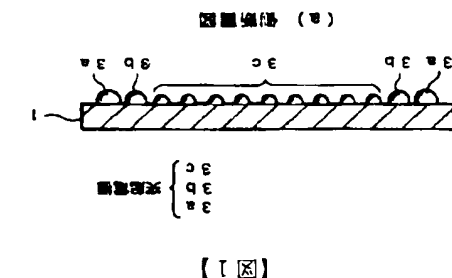
ーシ実装時の電氣的ショートを回避しつつ、高密度な電

【図面の簡単な説明】
 【図1】本発明に係わる半導体パッケージの第1実施例を説明する図である。
 【図2】パッケージの反りによる電極高さの変化を示す図である。
 【図3】本発明に係わる半導体パッケージの第2実施例を説明する図である。
 【図4】従来の半導体パッケージを説明する図である。
 【符号の説明】
 1 プリント基板
 2 ICチップ
 3 a, 3 b, 3 c 突起電極

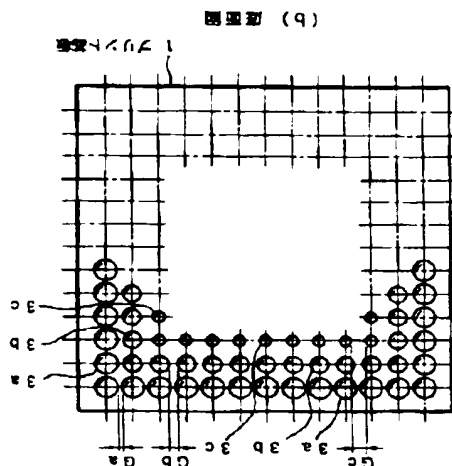


パッケージの反りによる電極高さの変化を示す図

プリント基板の外側に配置された突起電極をそれよりも内側に配置された突起電極よりも大きく形成すること
 で、プリント基板上のICチップをモールド樹脂にて封
 止する際の樹脂の反りにより電極高さのばらつき
 が矯正されるようになる。このため、モールド樹脂の収
 縮に伴うパッケージの反り量を見込んで、各突起電極の
 大きさを適宜設定することにより、パッケージ実装時に
 は各々の突起電極の高さを均一にすることが可能とな
 る。その結果、パッケージをマザー基板等に実装する際
 には、マザー基板に対して全ての突起電極を均一に密着
 させることができるため、パッケージとマザー基板との
 間に安定した接合状態を得ることが可能となる。



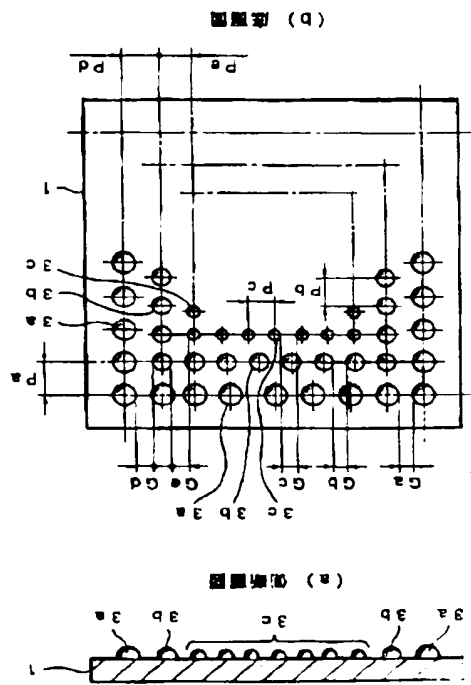
【図1】



【図1(a)】

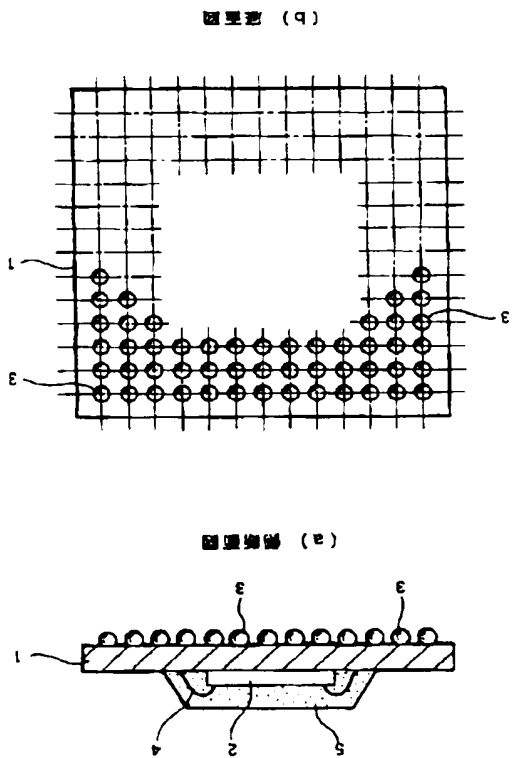
本発明の第1実施例を説明する図

【図3】



本発明の第2実施例を説明する図

【図4】



(b) 底面図

(a) 側断面図

従来例を説明する図

[0013]

FIG. 3 is a view illustrating a second embodiment of a semiconductor package of the present invention. In one characteristic section of the second embodiment, with regards to a plurality of projected electrodes 3a, 3b and 3c formed on the printed substrate 1, an array pitch P_a with a projected electrode located on the outer side of the printed substrate 1 at, for example, the outermost side, is broader than an array pitch P_b with the projected electrode 3b located on the inside of the projected electrode 3a. Further, an array pitch P_b with the projected electrode 3b is broader than an array pitch P_c with the electrode 3c further towards the inside, i.e. located at the innermost side ($P_a > P_b > P_c$).

[0014]

In this way, even when the projections 3a, 3b and 3c of different sizes are formed on the printed substrate 1 of the first embodiment, dimensions of a gap G_a with the projected electrode 3a located at the outer side of the printed substrate 1, i.e. at the outermost part, dimensions of a gap G_b with the projected electrode 3b located further inwards, and a gap G_c with the projected electrode 3c located furthest inwards are different, i.e. the dimensions are set so as to be larger towards the outside ($G_a > G_b > G_c$). Electrical shorts during package implementation are therefore avoided, and it is possible to form projected electrodes 3a, 3b, 3c to a high density with respect to the printed substrate 1.

[0015]

In a further characteristic section, with the first projected electrode line arrayed in an annular manner at the printed substrate 1, a line gap P_d between the line of projected electrodes 3a arrayed at the outermost part and the second projected electrodes 3b

arrayed inwards from the projected electrodes 3a is formed so as to be broader than a line gap P_c between the second projected electrodes 3b and the innermost line of third projected electrodes 3c ($P_d > P_c$).

[0016]

In this way, in the first embodiment, even when projected electrodes 3a, 3b, 3c of different sizes are formed on the print substrate 1, a gap G_d between the line of first projected electrodes 3a arrayed in an annular manner at the printed substrate 1 and the line of second projected electrodes 3b arrayed further inwards than the first projected electrodes and a gap G_e between the line of second projected electrodes 3b and the line of third projected electrodes 3c arrayed in from the second projected electrodes 3b can be set to different dimensions ($G_d > G_e$), electrical shorts during package implementation can be avoided, and the projected electrodes 3a, 3b, 3c can be formed to an even higher density.

[0017]

In the first and second embodiments, descriptions are given where three lines of projected electrodes 3a, 3b, 3c are formed on the printed substrate 1, but the present invention is by no means limited in this respect, and it goes without saying that, for example, applications to semiconductor packages where a plurality of projected electrodes are formed in a full matrix on the print substrate 1 are also possible.